



(19)

(11) Publication number:

03180041 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 01319257

(51) Intl. Cl.: H01L 21/3205 H01L 27/04

(22) Application date: 08.12.89

(30) Priority:

(43) Date of application  
publication: 06.08.91(84) Designated  
contracting states:

(71) Applicant: SEIKO EPSON CORP

(72) Inventor: TAKEUCHI MASAHIRO

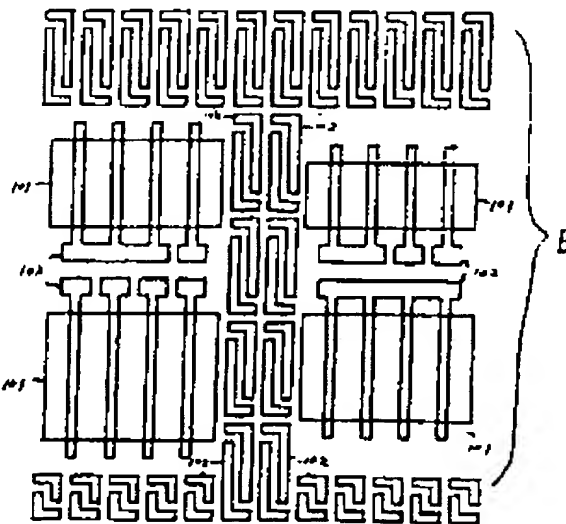
(74) Representative:

(54) SEMICONDUCTOR  
DEVICE

(57) Abstract:

**PURPOSE:** To suppress the dispersion in sizes in a photolithography step and the dispersion in sizes due to the loading effect of etching and to reduce the dispersion in transistor characteristics depending on places by providing a wiring with a first conductor film on an element isolating region so that the wiring is not used for connection with other wirings.

**CONSTITUTION:** After a gate oxide film 104 is formed on an active region, polycrystalline silicon is formed by a CVD method. Photolithography is performed with positive resist. After a pattern is formed, the unnecessary part of the polycrystalline silicon film is removed, and a first wiring layer 102 is formed. A dummy first wiring layer 102 which is not connected to other wiring layers is arranged on the element isolating region at a peripheral circuit part at the minimum pitch of a design rule. Even if there are coarse and dense parts in the pattern of the first wiring layer, the size after the etching becomes approximately constant, and a dispersion in transistor characteristics becomes small. Therefore, the semiconductor device as designed having the high speed and the high reliability is obtained.



COPYRIGHT: (C)1991,JPO&amp;Japio

## ⑫ 公開特許公報(A)

平3-180041

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月6日

H 01 L 21/3205  
27/04

D

7514-5F  
6810-5F

H 01 L 21/88

Z

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-319257

⑰ 出 願 平1(1989)12月8日

⑱ 発 明 者 竹 内 正 浩 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

半導体基板に形成された能動領域と、前記能動領域以外の前記半導体基板に形成された第1の絶縁膜からなる素子分離領域と、前記能動領域に形成された第2の絶縁膜上および前記素子分離領域上に形成された第1の導電膜による配線からなる半導体装置において、前記第1の導電膜による配線が前記素子分離領域上に他の配線との接続に使われることなく存在することを特徴とする半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の配線構造に関する。

〔従来の技術〕

従来の技術を第2図を用いて説明する。第2図は半導体基板に形成したSRAMのパターンであるが、第2図においてAの部分はメモリセル部、Bの部分はメモリセルに情報を出し入れする周辺回路部である。そして201は能動領域と素子分離領域の境界で201で囲まれた領域が能動領域、202はゲート電極および配線として使われる第1層の配線層であり、この配線層は通常他の配線層(たとえばAL配線)と接続して使われる。

一般にSRAMやDRAMではメモリセル部の面積がチップサイズを決定するので、メモリセルはできる限り微細化される。そこでメモリセル部Aの第1層の配線層202は最小ピッチで形成される。これに対し、周辺回路部Bの面積はチップサイズにそれほど影響しない上に、ゲート電極とゲート電極の間にコンタクトホールが存在するので、第1層の配線層202は最小ピッチでは形成されない。また周辺回路部Bのあるブロックとあるブロックの配置は、AL配線等がしやすいよう

に配置されるので、ブロック間には第1層の配線層202の存在しない領域が生じる。

〔発明が解決しようとする課題〕

以上のことから、メモリセル部では第1層の配線層202は密になり、周辺回路部のそれは疎になる。この状態で第1層の配線層202を形成するためにフォトリソグラフィを行なうと、メモリセル部と周辺回路部を同じマスク寸法で設計してもポジレジストで露光すると、メモリセル部の寸法が周辺回路部の寸法より太くなる。また次のエッチング工程でリアクティブイオンエッチングを行ない、ここでは多結晶シリコン膜による第1層の不要部分を除去して第1層の配線層を形成すると、エッチングのローディング効果により通常はメモリセル部の寸法が周辺回路部の寸法より太くなる。また条件によってはメモリセル部の寸法が周辺回路部の寸法より細くなることがある。また、同じ周辺回路部でも密な部分と疎な部分では第1層の配線層202の寸法が変わってしまう。その結果同じマスク寸法で設計した第1層の配線層202を

ゲート電極として使用している部分のトランジスタ特性、特に $\beta$ が場所により大きく変わってしまい、ICの電気的特性がばらつき、動作速度も遅くなり、設計どおりの特性が出なくなるという課題を有していた。

そこで本発明は、このような課題を解決するもので、その目的とするところは、フォトリソグラフィのばらつきや、エッチングのローディング効果による寸法のばらつきを抑え、場所によるトランジスタ特性のばらつきをなくすことを目的とする。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体基板に形成された能動領域と、前記能動領域以外の前記半導体基板に形成された第1の絶縁膜からなる素子分離領域と、前記能動領域に形成された第2の絶縁膜上および前記素子分離領域上に形成された第1の導電膜による配線からなる半導体装置において、前記第1の導電膜による配線が前記素子分離領域上に多の配線との接続に使われることなく存在する

ことを特徴とする。

〔実施例〕

本発明の実施例を第1図を用いて説明する。第1図(a)は本発明の実施例による平面図、第1図(b)は本発明の実施例による断面図である。

第1図(b)を用いて本発明の製造方法を説明する。第1図(b)において100はP型シリコン基板、103は素子分離用絶縁膜、104はゲート絶縁膜、102は第1層の配線層である。

まず、P型シリコン基板100をドライ02雰囲気中で酸化を行ない約400Åのシリコン酸化膜を形成し、次にCVD法によりシリコン窒化膜を約2000Å形成する。次に、フォトリソグラフィ後エッチングを行ない素子分離領域となる部分の前記シリコン窒化膜の不要部分を除去する。次にウェット02雰囲気中で酸化を行なうと前記シリコン窒化膜を除去した部分に酸化膜が成長し、この素子分離用酸化膜103を約8000Å形成する。次に加熱したリン酸でシリコン窒化膜を全面除去し、フッ素により前記400Åのシリコン

酸化膜を除去する。次にウェット02雰囲気中で酸化を行ない、能動領域上に約200Åのゲート酸化膜104を形成する。次にCVD法により多結晶シリコンを約4000Å形成した後、ポジレジストによりフォトリソグラフィを行ない、パターン形成後、CC<sub>2</sub>ガスを使ったリアクティブイオンエッチングを行ない前記多結晶シリコン膜の不要部分を除去して第1層の配線層102を形成する。ここで本実施例では第1図(a)のように周辺回路部の素子分離領域上にも、他の配線層とは接続しないダミーの第1層の配線層をデザインルールの最小ピッチで配置してある。このためローディング効果が起こりにくく、場所により第1層の配線層の寸法が変わることはなく、トランジスタの特性が場所により変化することはない。

たとえば、デザインルールを0.8μmルールとした場合、従来例のように第1層の配線層のパターンに疎密があると、パターンの密なメモリセル部のエッチング後の寸法を0.8μmになるようフォトリソグラフィのエッチングの条件を設定すると、パタ

ーンの疎な周辺回路部のエッチング後の寸法はフォトリソ工程の寸法のばらつきとエッチングのローディング効果により約 $0.95\mu\text{m}$ となり $0.15\mu\text{m}$ 太くなってしまふ。これに対し本実施例のようにすると、メモリセル部のエッチング後の寸法も周辺回路部のエッチング後の寸法も $0.8\mu\text{m}$ となり、フォトリソ工程の寸法のばらつきやローディング効果が抑えられ、場所によるトランジスタ特性のばらつきをなくすることができる。

本実施例では第1層の配線層に多結晶シリコン膜を用いたが、チタン、モリブデン、タングステン、プラチナ、ニッケル、コバルト、タンタルなどの高融点金属を用いてもよいし、多結晶シリコン上にこれら高融点金属膜を形成した高融点金属ポリサイド膜、あるいは高融点金属シリサイド膜を使用してもよいし、アルミニウム、銅などの金属を使用してもよい。

また、本実施例では、素子分離領域上に形成したダミーの第1層の配線層は最小ピッチで配置したが、最小ピッチに近いピッチ、たとえば最小ピ

ッチを $0.8\mu\text{m}$ とすると、 $1.0\mu\text{m}$ ピッチで配置しても効果は変わらない。

また、本実施例では、素子分離領域上に形成したダミーの第1層の配線層はし字形であったが、これは直線でもよいしコの字形でも、ロの字形でもその効果は同じである。

#### [発明の効果]

以上述べたように本発明の半導体装置によれば、第1層の配線層のパターンに疎密があっても、そのエッチング後の寸法は、ほぼ一定になるのでトランジスタ特性のばらつきが小さくなることから、設計どおりの、高速、高信頼性の半導体装置を提供できる効果がある。

#### 4. 図面の簡単な説明

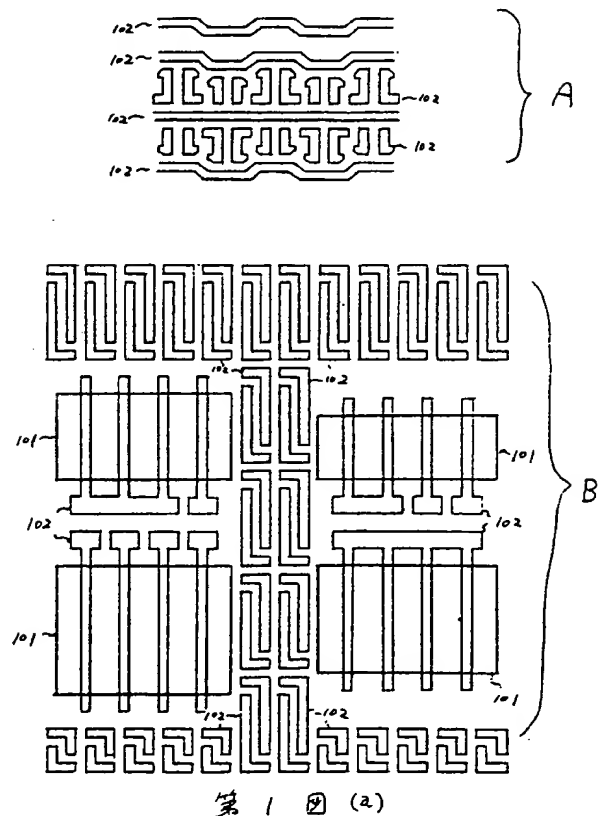
第1図(a)は本発明による一実施例による平面図、第1図(b)は本発明による一実施例による断面図、第2図は従来例による平面図である。

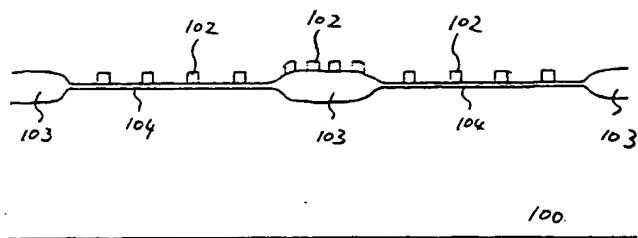
100 . . . . . シリコン基板

- 101、201 . . . 能動領域と素子分離領域の境界
- 102、202 . . . 第1層の配線層
- 103 . . . . . 素子分離絶縁膜
- 104 . . . . . ゲート絶縁膜

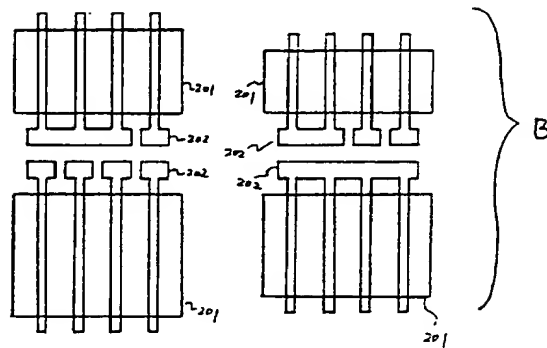
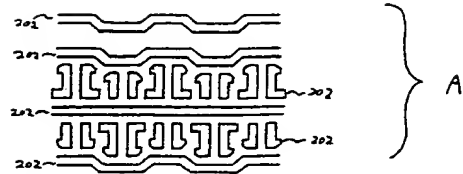
以 上

出願人 セイコーエプソン株式会社  
代理人 弁理士 鈴木 喜三郎 (他1名)





第 1 図 (b)



第 2 図